

제4장 소신호 BJT 증폭기

4.1 소신호 증폭기의 동작원리

- 증폭기에서 직류의 역할은 소신호의 적절한 증폭을 위한 바이어스 제공
 $\Rightarrow$ 증폭기는 신호를 왜곡없이 원하는 수준으로 증폭 가능
- 그림 4.1은 내부저항 R_S 인 신호원 V_s 를 바이어스 회로의 입력단에 직접 연결
 $\Rightarrow$ 부하 R_L 를 출력단에 직접 연결한 증폭기 회로
- 직류 전류가 신호원과 부하 쪽으로 흘러 바이어스 전압과 전류에 변동이 발생
 $\Rightarrow$ 증폭기의 동작점 Q 의 변화로 출력신호에 왜곡이 발생할 우려

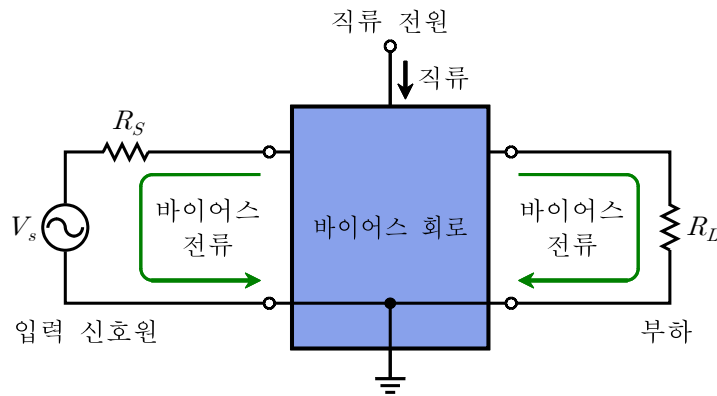


그림 4.1 입력과 출력의 직접 결합으로 인한 Q점 변화

- 신호원의 주파수에 대해 충분히 큰 용량의 커패시터 C_1 과 C_2 를 사용할 경우
 $\Rightarrow X_C = 1/\omega C \simeq 0$ 이므로 C_1 과 C_2 의 리액턴스 성분은 무시 가능
 $\Rightarrow$ 교류신호에 대해 커패시터는 단락, 직류전원에 대해서는 개방 특성

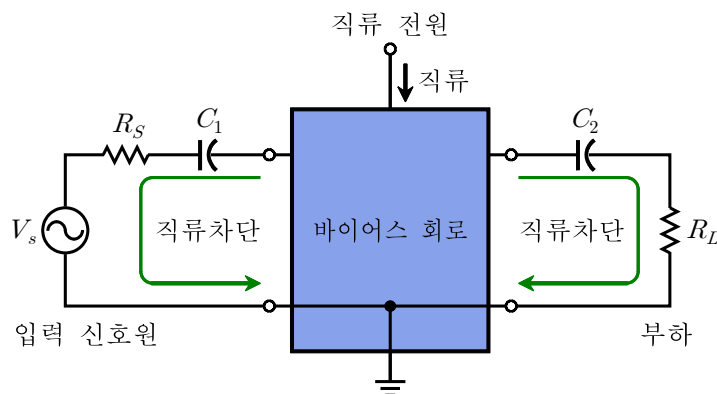


그림 4.2 결합커패시터를 통한 소신호의 결합

- 커패시터를 소신호원과 부하에 직렬로 결합함으로써 직류전류의 누설 방지
 - ⇒ Q 점에 영향을 주지 않고 소신호원과 부하를 회로와 결합 가능
 - ⇒ 결합커패시터(coupling capacitor), C_1 과 C_2
- 그림 4.3은 결합커패시터 C_1 과 C_2 를 포함하는 소신호 증폭기 회로를 표시
 - ⇒ 커패시터가 결합된 전압분배 바이어스 트랜지스터 증폭기 회로
 - ⇒ 직류를 차단하여 R_S 와 R_L 에 의한 바이어스 전압의 변화 방지

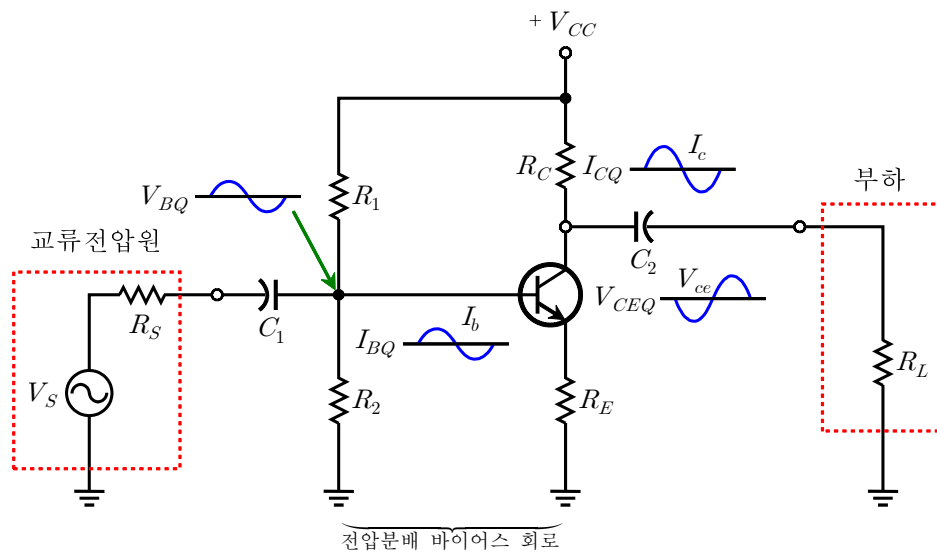


그림 4.3 교류전압원에 의해 구동되는 전압분배 바이어스 소신호 증폭기

- 정현파 신호전압은 직류 바이어스 레벨의 상하로 변하면서 베이스 전압 형성
 - ⇒ 베이스 전류의 변화는 전류이득에 비례하여 컬렉터 전류를 증폭
 - ⇒ 컬렉터 전류는 베이스 전류와 동상으로 Q 점에서 상하로 변화
 - ⇒ V_{CE} 는 V_B 와 180° 의 위상차로 Q 점을 기준으로 상하로 변화

• 소신호 교류증폭기

- 신호전압의 크기가 너무 크면 증폭기가 차단영역이나 포화영역에서 동작
 - ⇒ 출력신호 파형의 상하가 잘리는 신호 왜곡현상 발생
 - ⇒ 입력신호는 진폭이 충분히 작은 소신호를 사용
 - ⇒ 소신호 증폭기(small signal amplifier)

4.2 트랜지스터 교류등가회로

◎ 바이폴라 소신호 증폭기 구성

- 그림 4.4는 BJT를 이용한 3가지의 소신호 증폭기의 구성 방법 표시
⇒ 컬렉터는 종속 전류원에 해당되므로 입력단자로는 미사용

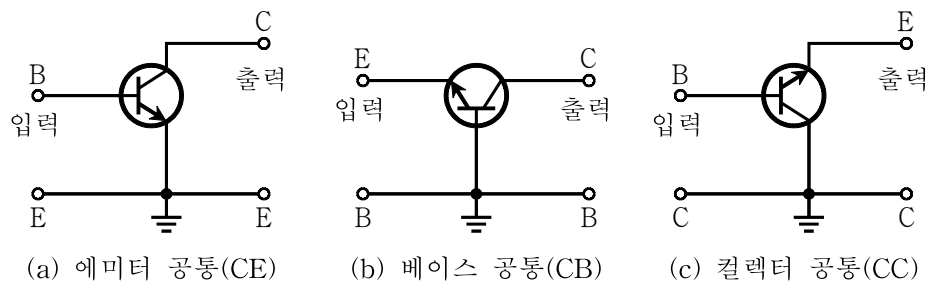


그림 4.4 바이폴라 소신호 증폭기의 구성

- 그림 4.4(a)는 베이스를 입력, 컬렉터를 출력, 에미터를 공통단자로 구성
⇒ 에미터 공통(common emitter; CE) 증폭기
- 그림 4.4(b)는 에미터를 입력, 컬렉터를 출력, 베이스를 공통단자로 구성
⇒ 베이스 공통(common base; CB) 증폭기
- 그림 4.4(c)는 베이스를 입력, 에미터를 출력, 컬렉터를 공통단자로 구성
⇒ 컬렉터 공통(common collector; CC) 증폭기

◎ 트랜지스터 r -파라미터 등가회로

- 그림 4.5에 바이폴라 접합 트랜지스터의 r -파라미터 등가회로 표시

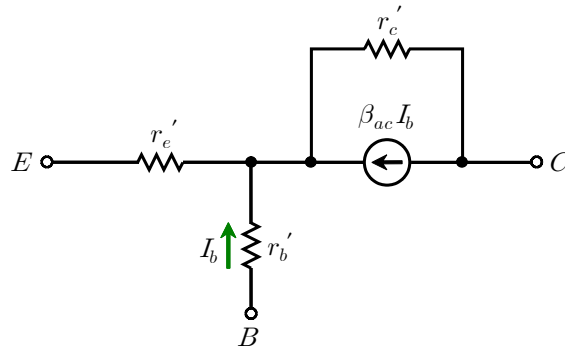


그림 4.5 바이폴라 접합 트랜지스터의 r -파라미터 등가회로

- 베이스 단자는 순방향 바이어스 되므로 교류 베이스 저항 r'_b 은 극소값
 $\Rightarrow$ 단락회로로 대치
- 컬렉터 단자는 역방향 바이어스 되므로 교류 컬렉터 저항 r'_c 은 극대값
 $\Rightarrow$ 개방회로로 대치
- 그림 4.5의 회로를 그림 5.6의 간략화된 근사 r -파라미터 등가회로로 변환

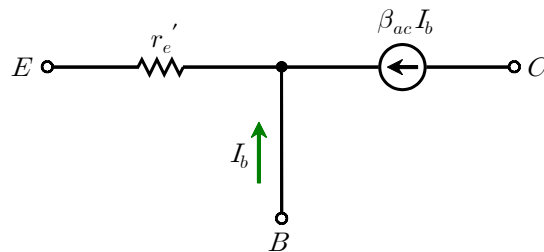


그림 4.6 바이폴라 접합 트랜지스터의 근사 r -파라미터 등가회로

- 저항 r'_e 은 E-B간의 내부저항으로 순방향 바이어스시의 에미터 단자의 저항
 $\Rightarrow$ 컬렉터는 전류원 $\beta_{ac} I_b$ 로 동작
- r -파라미터 등가회로를 이용하여 교류해석을 수행하기 위해서는 r'_e 결정
 $\Rightarrow$ 식 (4.1)에서 I_E 는 직류 바이어스 회로 해석을 통해 계산

$$r'_e = \frac{25[\text{mV}]}{I_E} \quad (4.1)$$

- r -파라미터 등가회로의 β_{ac} 의 개념을 정의하고 β_{dc} 와의 차이점 고찰

• 직류 전류이득(β_{dc})

- 동작점 Q 에서 베이스 전류 I_{BQ} 에 대한 컬렉터 전류 I_{CQ} 의 비
 $\Rightarrow$ 그림 4.7에서 직선 $\overline{OQ}$ (청색선)의 기울기
- 동작점 Q 의 위치에 따라 기울기가 변하므로 β_{dc} 는 동작점에 따라 변화

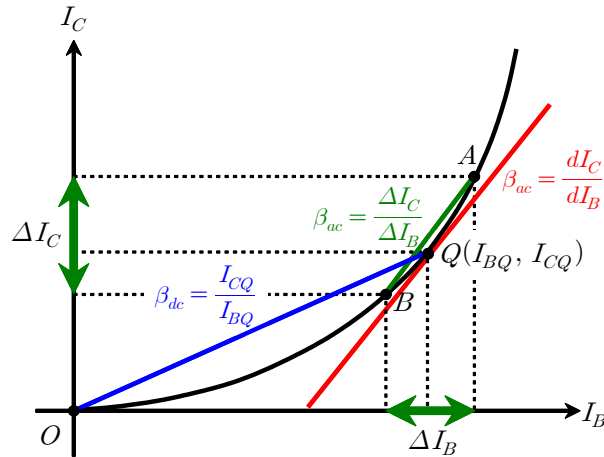


그림 4.7 β_{dc} 와 β_{ac} 의 차이

• 교류 전류이득(β_{ac})

- 동작점 Q 에서 I_B 의 변화량(ΔI_B)에 대한 I_C 의 변화량(ΔI_C)의 비
 $\Rightarrow$ 그림 4.7에서 직선 $\overline{AB}$ (녹색선)의 기울기

$$\frac{\Delta I_C}{\Delta I_B}$$

- 동작점 Q 에서 I_B 의 극소 변화량(dI_B)에 대한 I_C 의 극소 변화량(dI_C)의 비
 $\Rightarrow$ 그림 4.7의 동작점 Q 에서 접선의 기울기

$$\beta_{ac} = \lim_{\Delta I_B \rightarrow 0} \frac{\Delta I_C}{\Delta I_B} = \frac{dI_C}{dI_B}$$

- ΔI_B 가 극소값일 때 β_{ac} 는 동작점 Q 의 위치에 따라 변하지만 β_{dc} 와는 상이

4.3 소신호 에미터 공통 교류증폭기 해석

- 전압분배 바이어스 회로의 베이스에 결합 캐패시터 C_1 을 통해 V_{in} 을 인가
 $\Rightarrow$ 출력 결합 캐패시터 C_3 를 통해 부하저항 R_L 을 컬렉터에 결합
 $\Rightarrow$ R_E 와 병렬로 바이패스(bypass) 캐패시터 C_2 를 연결하고 접지
- 직류 및 교류 전원을 동시에 포함하고 있으므로 별도로 직류 및 교류해석

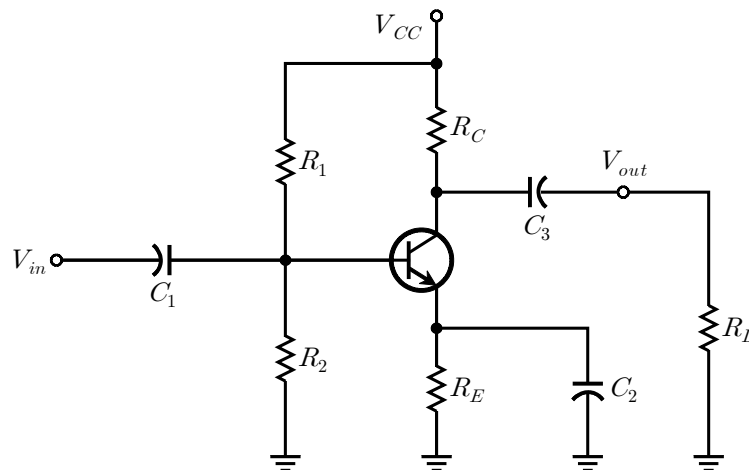


그림 4.8 소신호 에미터 공통 교류증폭기

⊙ 직류 해석

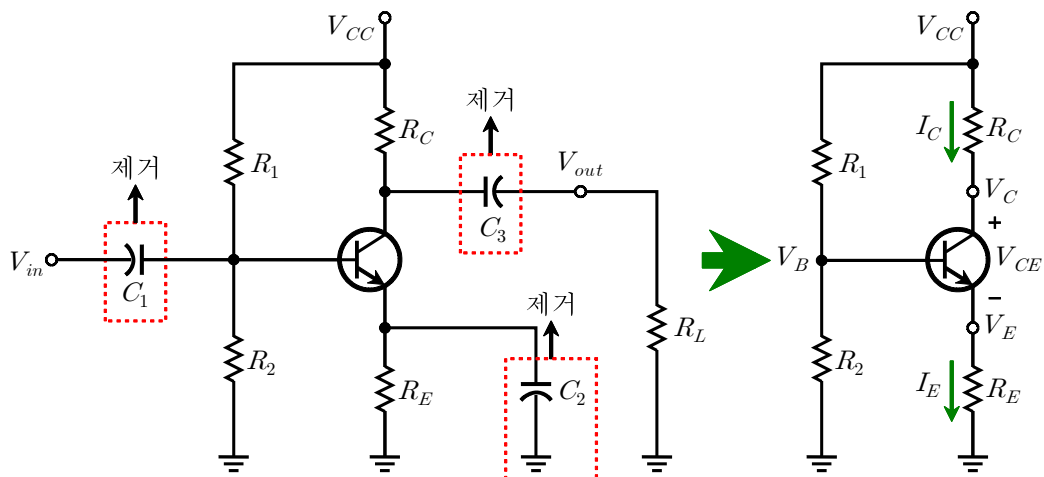


그림 4.9 에미터 공통 증폭기의 직류 등가회로 형성과정

- 그림 4.9의 왼쪽 회로에서 캐패시터는 직류에 대해 개방회로로 동작
 $\Rightarrow$ 캐패시터 C_1 , C_2 , C_3 을 개방한 바이어스 회로로 변환
 $\Rightarrow$ 직류 등가회로에 의해 직류해석

- 그림 4.10에서 트랜지스터 부분을 r -파라미터 등가회로로 변환
 $\Rightarrow R_1$ 과 R_2 를 $R_{12} = R_1 \parallel R_2$, R_C 와 R_L 을 $R_c = R_C \parallel R_L$ 로 대치

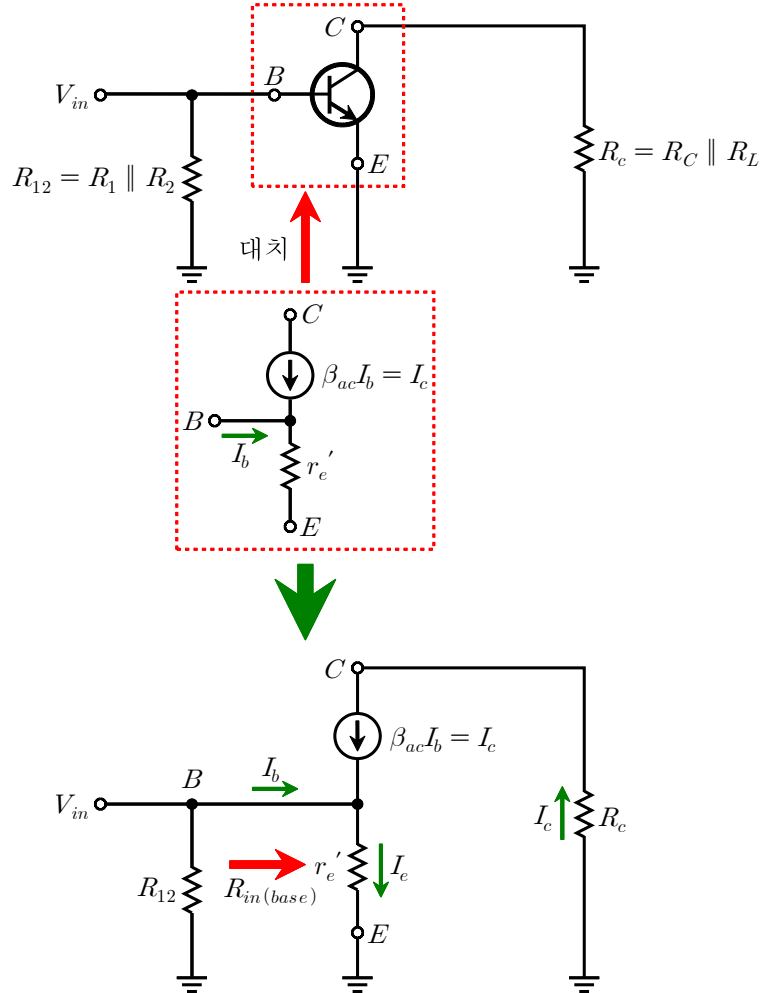


그림 4.11 에미터 공통 증폭기의 교류해석

• 입력저항 $R_{in(base)}$

- 베이스 단자에서 회로의 우측으로 바라본 저항으로 V_b 와 I_b 의 비
 $\Rightarrow V_b$ 는 r'_e 양단의 전압($V_b = r'_e I_e$, $I_e \simeq I_c = \beta_{ac} I_b$)

$$R_{in(base)} \triangleq \frac{V_b}{I_b} = \frac{r'_e I_e}{I_b} = \frac{r'_e \beta_{ac} I_b}{I_b} = \beta_{ac} r'_e \quad (4.2)$$

- 베이스 단자에서 회로 우측으로 본 입력저항은 에미터 내부저항 r'_e 의 β_{ac} 배
 $\Rightarrow R_{in}$ 은 많은 전류가 입력단으로 공급되기 위해 작을수록 유리

• 출력저항 R_{out}

- 컬렉터에서 바라본 증폭기의 저항은 R_C 와 컬렉터 내부저항 r'_c 의 병렬합성
 $\Rightarrow r'_c \gg R_C$ 이므로 r'_c 은 무시 가능

$$R_{out} = \frac{r'_c R_C}{r'_c + R_C} \simeq \frac{r'_c R_C}{r'_c} = R_C \quad (4.3)$$

- 출력저항 R_{out} 은 많은 컬렉터 전류가 부하로 공급되기 위해 클수록 유리

• 전압이득 A_v

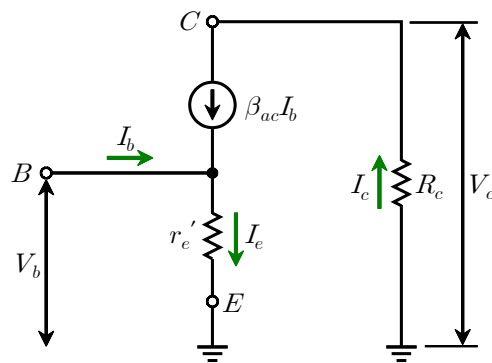


그림 4.12 전압이득을 구하기 위한 등가회로

- 그림 4.12에서 베이스 단자의 입력전압에 대한 컬렉터 단자의 출력전압의 비
 $\Rightarrow (-)$ 부호는 180° 의 위상차를 의미하며, V_b 와 V_c 는 반대극성

$$V_b = r'_e I_e, \quad I_e \simeq I_c, \quad V_c = -R_C I_c \simeq -R_C I_e$$

$$A_v \triangleq \frac{V_c}{V_b} = \frac{-R_C I_e}{r'_e I_e} = -\frac{R_C}{r'_e} \quad (4.4)$$

- 전압원에서 컬렉터까지의 전체 증폭기 이득은 전원전압에 대한 출력전압의 비
 $\Rightarrow$ 입력회로에 대한 감쇠를 포함

$$A_{vs} = \frac{V_{out}}{V_s} = \frac{V_b}{V_s} \cdot \frac{V_{out}}{V_b} = \frac{V_b}{V_s} \cdot A_v \quad (4.5)$$

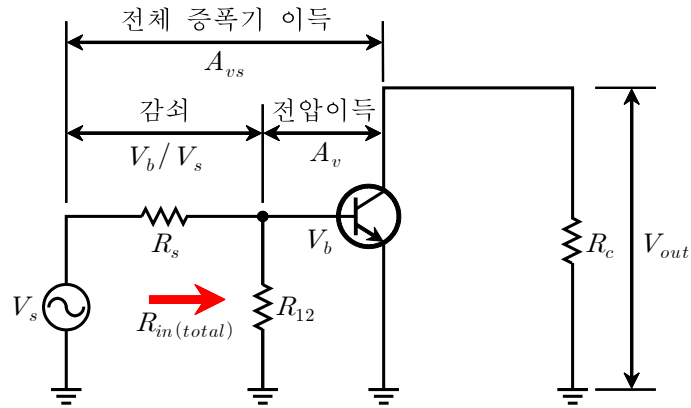


그림 4.13 베이스 회로에서의 감쇠와 전체 증폭기 이득

• 에미터 바이패스 캐패시터에 의한 영향

- 캐패시터의 캐패시턴스가 극대일 때 증폭기의 리액턴스가 R_E 에 비해 극소
 $\Rightarrow$ 에미터 바이패스 캐패시터는 교류 접지되어 에미터 저항을 단락
 $\Rightarrow$ 증폭기의 전압이득은 최대 R_c/r_e'
- 증폭기의 바이패스 캐패시터가 존재하지 않으면 에미터는 교류접지 非
 $\Rightarrow$ 에미터 저항 R_E 는 에미터와 접지 사이에 존재, $V_b = (r_e' + R_E)I_e$
 $\Rightarrow$ 그림 4.14으로부터 전압이득 결정

$$A_v \triangleq - \frac{R_c}{r_e' + R_E} \quad (4.6)$$

- 식 (4.6)에서 바이패스 캐패시터가 없는 경우 교류증폭기의 이득 감소
 $\Rightarrow$ 최대 전압이득을 얻기 위해서는 R_E 를 바이패스

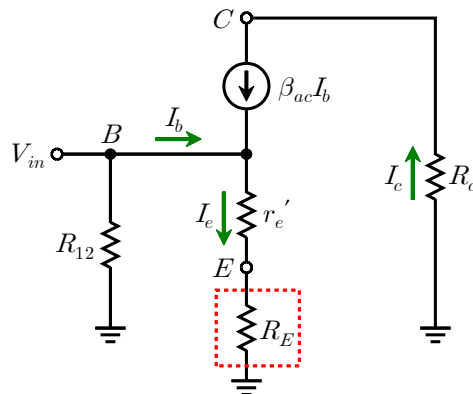


그림 4.14 바이패스 캐패시터가 없는 교류증폭기의 교류등가모델

• 부하저항의 영향

- 부하저항 R_L 이 결합캐패시터 C_3 를 통해 증폭기에 연결
 $\Rightarrow$ 컬렉터 교류저항 R_c 는 R_C 와 R_L 의 병렬 합성

$$R_c \triangleq \frac{R_C R_L}{R_C + R_L} \quad (4.7)$$

- $R_L \gg R_C$, $R_c \simeq \frac{R_C R_L}{R_L} = R_C \Rightarrow$ 부하의 연결은 증폭기 이득에 무영향
- $R_L \ll R_C$, $R_c \simeq \frac{R_C R_L}{R_C} = R_L \Rightarrow R_c \ll R_C$: 전압이득 $A_v = R_c / r_e'$ 감소
 $\Rightarrow$ 부하저항 R_L 이 컬렉터 R_C 보다 작으면 증폭기의 전압이득 감소

• 전압이득의 안정성

- R_E 를 바이패스시키면 최대 전압이득을 얻지만 전압이득 A_v 는 r_e' 에 의존
 $\Rightarrow r_e' = \frac{25[\text{mV}]}{I_E}$ 은 $I_E \simeq I_C = \beta_{dc} I_B$ 에 의해 온도에 따라 증가 또는 감소
 $\Rightarrow r_e'$ 이 증가 : 이득 감소, r_e' 이 감소 : 이득 증가
- 바이패스 캐패시터가 없으면 회로에 R_E 가 포함되므로 식 (4.6)에서 이득 감소
 $\Rightarrow R_E$ 가 존재하면 이득은 r_e' 에 훨씬 적게 의존하여 안정성 보유
 $\Rightarrow R_E \gg r_e'$ 이면 이득은 r_e' 과 무관

$$A_v \simeq -\frac{R_c}{R_E} \quad (4.8)$$

- 전압이득의 감소없이 r_e' 의 영향을 최소화하기 위해 사용되는 방법
 $\Rightarrow$ 스왈핑(swamping)

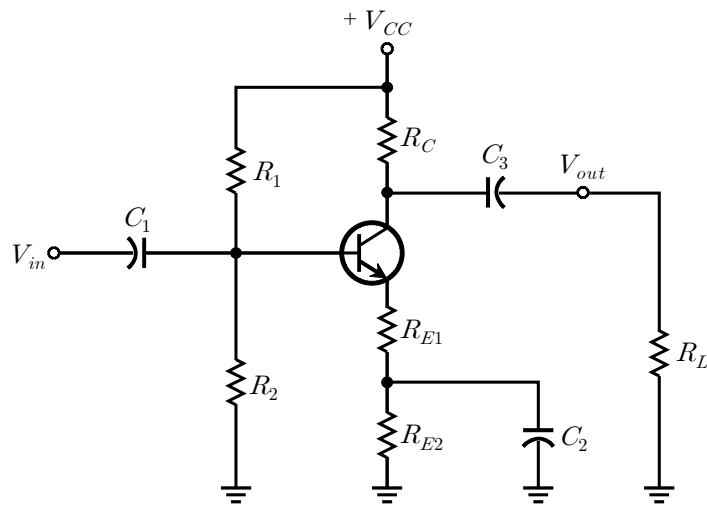


그림 4.15 스왑프된 에미터 공통 교류증폭기

- 바이패스 캐패시터를 갖는 R_{E2} 와 갖지 않는 R_{E1} 으로 절충하여 회로 구성
 - $\Rightarrow R_E$ 가 부분적으로 바이패스되므로 안정된 이득 달성
 - $\Rightarrow$ 전압이득은 r_e' 의 영향 축소 또는 무관

$$A_v = -\frac{R_c}{r_e' + R_{E1}} \simeq -\frac{R_c}{R_{E1}}, \quad (\because R_{E1} \gg r_e') \quad (4.9)$$

【예제 4.1】 그림 4.16의 에미터 공통 교류증폭기에서 전체 컬렉터전압 및 출력전압(직류 및 교류)을 구하고 해당 파형 도시. 단, 신호원에 주어진 값은 실효값.

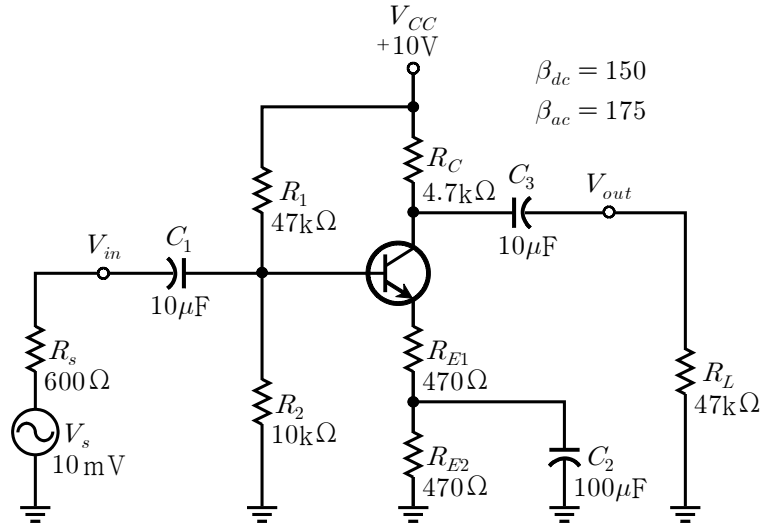


그림 4.16 예제 4.1의 회로

• 직류 해석

$$V_B \approx \left(\frac{R_2}{R_1 + R_2} \right) V_{CC} = \left(\frac{10}{47 + 10} \right) \times 10 = 1.75 [\text{V}]$$

$$V_E = V_B - V_{BE} = 1.75 - 0.7 = 1.05 [\text{V}], \quad I_B \approx 0$$

$$I_C \approx I_E = \frac{V_E}{R_{E1} + R_{E2}} = \frac{1.05}{940} = 1.12 \times 10^{-3} [\text{A}] = 1.12 [\text{mA}]$$

$$V_C = V_{CC} - R_C I_C = 10 - (4.7 \times 10^3)(1.12 \times 10^{-3}) = 4.74 [\text{V}]$$

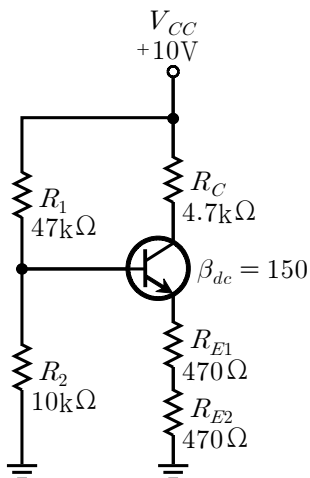


그림 4.17 직류등가회로

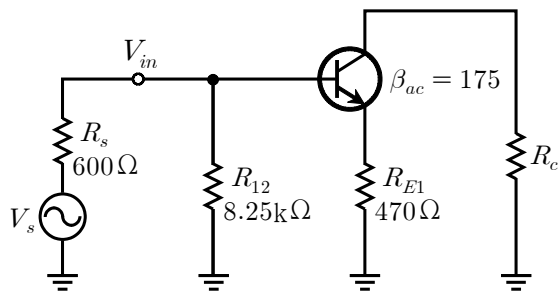


그림 4.18 교류등가회로

• 교류 해석

- 그림 4.18로부터 r_e' 을 계산하고 베이스 회로의 감쇄 결정

⇒ 컬렉터 교류저항 R_c 및 전압이득 A_v 및 전체 전압이득 A_{vs} 계산

$$r_e' \cong \frac{25[\text{mV}]}{I_E} = \frac{25 \times 10^{-3}}{1.12 \times 10^{-3}} = 22[\Omega]$$

$$R_{in(\text{base})} = \beta_{ac}(r_e' + R_{E1}) = 175 \times (22 + 470) = 175 \times 492 = 86.1[\text{k}\Omega]$$

$$R_{12} = R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2} = \frac{47 \times 10}{47 + 10} = \frac{470}{57} \cong 8.25[\text{k}\Omega]$$

$$R_{in(\text{total})} = R_{in(\text{base})} \parallel R_{12} = \frac{86.1 \times 8.25}{86.1 + 8.25} = \frac{710.33}{94.35} \cong 7.53[\text{k}\Omega]$$

$$\text{감쇄율} = \frac{V_b}{V_s} = \frac{R_{in(\text{total})}}{R_s + R_{in(\text{total})}} = \frac{7.53}{0.6 + 7.53} = \frac{7.53}{8.13} = 0.93$$

$$R_c = \frac{R_C R_L}{R_C + R_L} = \frac{4.7 \times 47}{4.7 + 47} = 4.27[\text{k}\Omega], \quad A_v \cong \frac{R_c}{R_{E1}} = \frac{4.27}{0.47} = 9.09$$

$$A_{vs} = \left(\frac{V_b}{V_s} \right) A_v = 0.93 \times 9.09 = 8.45, \quad V_c = A_{vs} V_{in} = 8.45 \times 10 = 84.5[\text{mV}]$$

• 컬렉터 전압과 출력전압의 파형

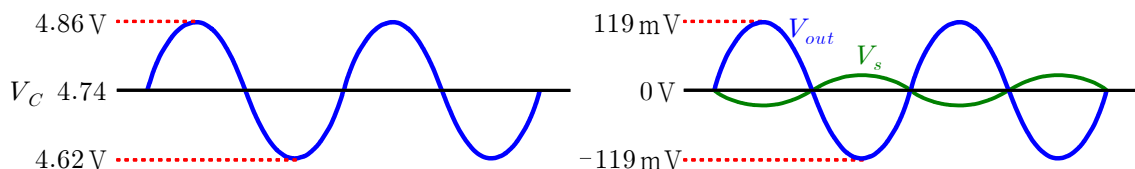
- 전체 컬렉터 전압은 직류 성분과 교류 신호전압의 합으로 표시

⇒ V_{out} 은 C_3 에 의해 직류성분 제거되고 입력신호와 180° 위상차

$$V_{c(\text{max})} = V_C + \sqrt{2} V_c = 4.74 + \sqrt{2} \times 84.5 \times 10^{-3} = 4.86[\text{V}]$$

$$V_{c(\text{min})} = V_C - \sqrt{2} V_c = 4.74 - \sqrt{2} \times 84.5 \times 10^{-3} = 4.62[\text{V}]$$

$$V_{out(p)} = \sqrt{2} V_c = \sqrt{2} \times 84.5 \times 10^{-3} = 119 \times 10^{-3}[\text{V}] = 119[\text{mV}]$$



(a) 전체 컬렉터 전압

(b) 전원과 출력 교류전압

그림 4.19 전체 컬렉터 전압과 출력 전압 파형



4.4 소신호 컬렉터 공통 교류증폭기 해석

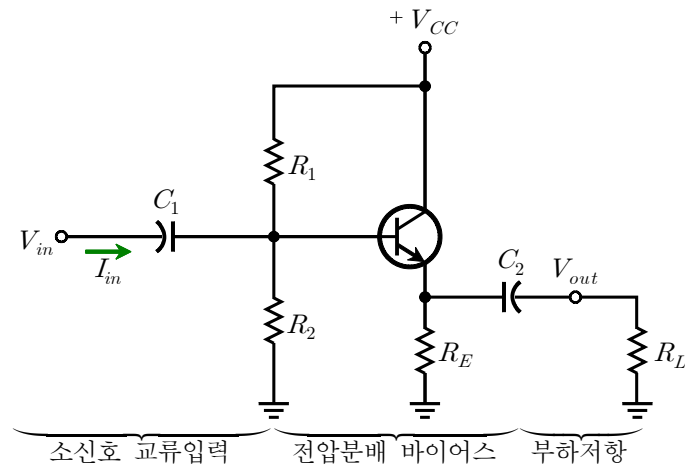


그림 4.20 소신호 컬렉터 공통 교류증폭기

- 입력전압은 C_1 을 통해 베이스에 공급, 출력전압은 C_2 를 통해 에미터에서 출력
 $\Rightarrow$ 컬렉터는 교류전원에 대해 교류접지 상태
- 소신호 컬렉터 공통 증폭기에서는 에미터 전압과 베이스 전압이 유사한 파형
 $\Rightarrow$ 출력이 입력을 따라가는 에미터 플로어(emitter follower)
 $\Rightarrow$ 전압이득이 1이고 높은 전류이득과 높은 입력저항
- 출력단 부하의 크기가 작은 경우 전체 증폭기의 전압이득이 감소되는 것 방지
 $\Rightarrow$ 부하와 출력단 사이의 위치에 버퍼증폭기(buffer amplifier)로 사용

◎ 직류 해석

- 컬렉터 공통 증폭기에서 결합 캐패시터를 개방하여 직류 등가회로 유도

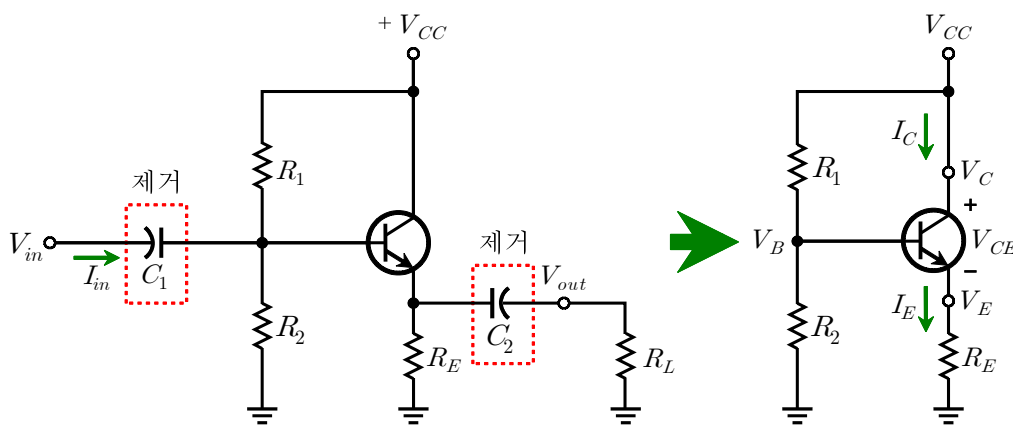


그림 4.21 컬렉터 공통 증폭기의 직류등가회로 형성 과정

◎ 교류 해석

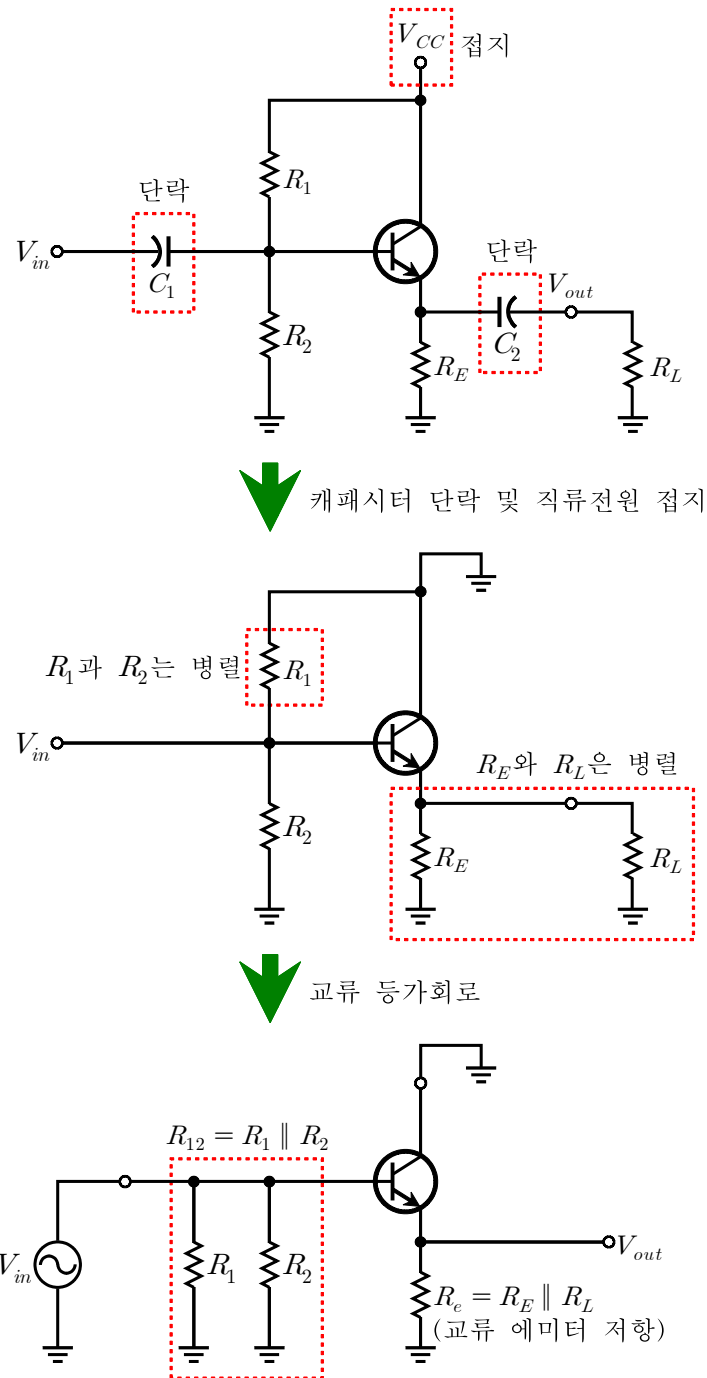


그림 4.22 컬렉터 공통 증폭기의 교류등가회로 형성 과정

- 교류 해석을 수행하기 위해서는 캐패시터는 단락시키고 직류전원은 접지
- ⇒ 그림 4.22의 등가회로에서 트랜지스터 부분을 r_e' -모델로 대체
- ⇒ R_e 는 R_E 와 R_L 의 합성저항인 에미터 교류저항

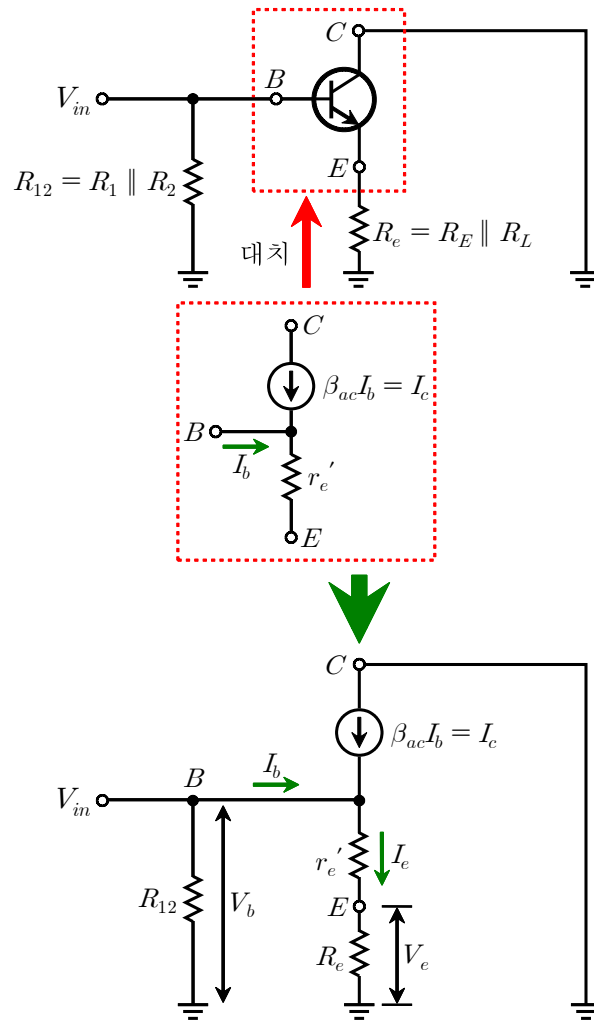


그림 4.23 컬렉터 공통 증폭기의 교류 해석

• 전압이득 A_v

- 베이스 단자전압은 저항 r'_e 과 에미터 교류저항 R_e 양단의 전압의 합
 $\Rightarrow$ 출력전압 V_{out} 은 에미터 교류저항 R_e 양단의 전압 V_e
 $\Rightarrow$ 전압이득 A_v 는 입력전압에 대한 출력전압의 비로 정의

$$V_b = (r'_e + R_e)I_e, \quad V_e = R_e I_e$$

$$A_v \triangleq \frac{V_{out}}{V_{in}} = \frac{V_e}{V_b} = \frac{R_e I_e}{(r'_e + R_e)I_e} = \frac{R_e}{r'_e + R_e} \quad (4.10)$$

- $R_e \gg r'_e$ 이므로 $A_v = 1$ 이며, 입력전압 V_b 와 출력전압 V_e 는 동상
- 출력 에미터 전압이 입력전압을 따르므로 에미터 플로어(emitter follower)

• 입력저항 $R_{in(base)}$

- 베이스 단자에서 회로의 우측으로 바라본 저항으로 V_b 와 I_b 의 비

$$V_b = (r_e' + R_e)I_e, \quad I_e = \beta_{ac}I_b$$

$$R_{in(base)} \triangleq \frac{V_b}{I_b} = \frac{(r_e' + R_e)I_e}{I_b} = \frac{(r_e' + R_e)\beta_{ac}I_b}{I_b} = \beta_{ac}(r_e' + R_e) \quad (4.11)$$

- $R_e \gg r_e'$ 이므로 컬렉터 공통 교류증폭기의 입력저항 $R_{in(base)} \simeq \beta_{ac}R_e$
- $R_{in(base)}$ 가 매우 크기 때문에 부하효과를 제거하기 위해 버퍼 증폭기로 사용

• 다링톤 접속(Darlington Pair)

- 식 (4.11)에서 보는 바와 같이 β_{ac} 는 증폭기의 입력저항을 결정하는 중요 요소
 - ⇒ 입력저항을 증가시키기 위한 방법으로 다링톤 접속을 사용
 - ⇒ 두 트랜지스터 Tr.1과 Tr.2의 컬렉터를 서로 접속
 - ⇒ Tr.1의 에미터가 Tr.2의 베이스를 구동시키는 구조

$$I_{b2} = I_{e1}, \quad I_{e1} \cong \beta_{ac1}I_{b1}, \quad I_{e2} \cong \beta_{ac2}I_{b2} = \beta_{ac2}I_{e1} = \beta_{ac2}(\beta_{ac1}I_{b1}) = \beta_{ac1}\beta_{ac2}I_{b1}$$

- 다링톤 접속의 실효 전류이득은 $\beta_{ac} = \beta_{ac1}\beta_{ac2}$ 이 되므로 입력저항이 크게 증가
 - ⇒ 다링톤 에미터 플로어는 부하효과를 제거하기 위한 목적으로 사용
- 그림 4.25는 다링톤 접속이 전류이득을 증가시키는 구조임을 개념적으로 표시

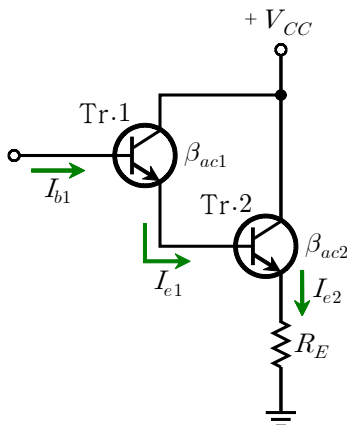


그림 4.24 다링톤 접속

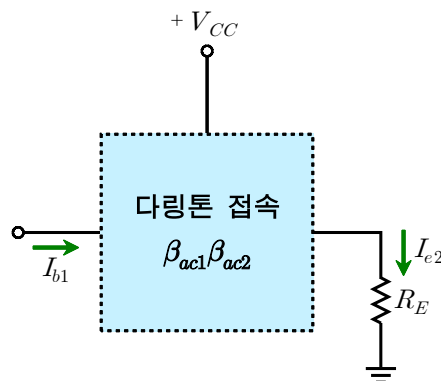


그림 4.25 다링톤 접속 트랜지스터의 전류 관계

4.5 소신호 베이스 공통 교류증폭기 해석

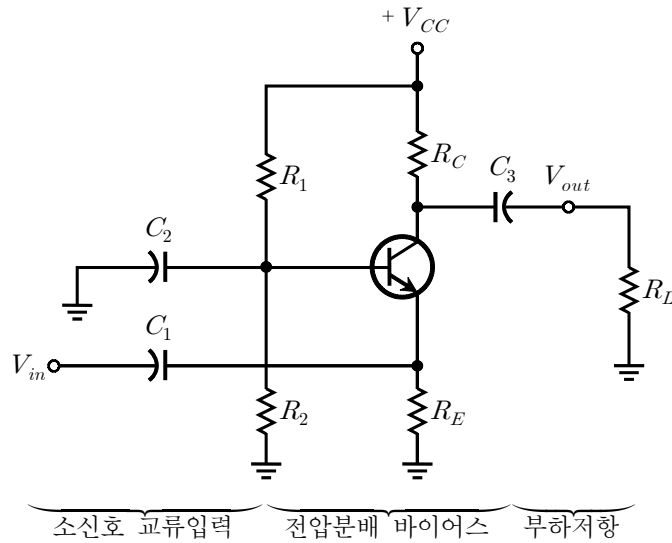


그림 4.26 소신호 베이스 공통 교류증폭기

- 교류증폭기 중에서 최소 입력저항($40 \sim 300\Omega$), 최대 출력저항($300K\Omega \sim 3M\Omega$)
 $\Rightarrow$ 전류이득은 1에 근사, 전압이득은 극대, 전력이득은 중간정도
- 그림 4.26에서 베이스 단자가 공통단자로서 커패시터 C_2 를 통해 교류 접지
 $\Rightarrow$ 입력은 C_1 을 통해 에미터에 공급, 출력은 C_3 를 통해 부하에 공급

◎ 직류 해석

- 베이스 공통 증폭기에서 결합 커패시터를 개방하여 직류 등가회로 유도

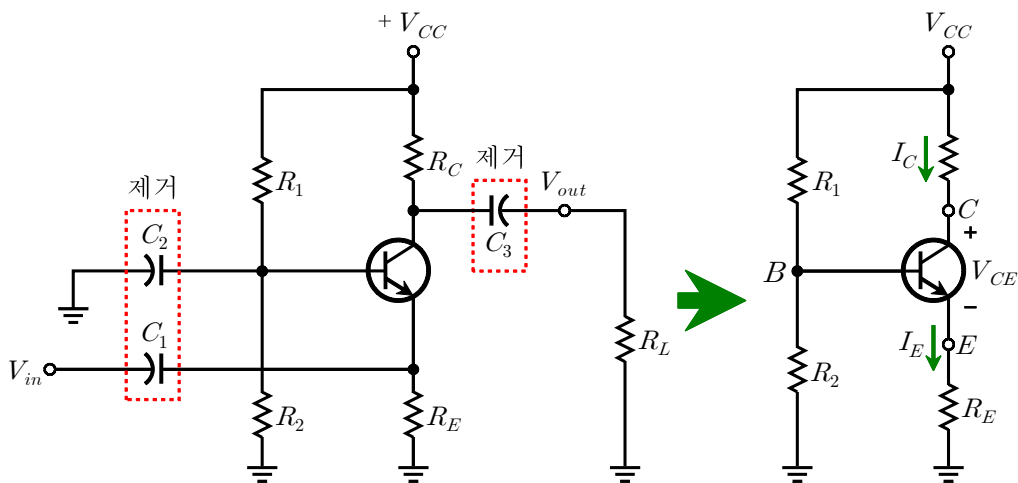


그림 4.27 베이스 공통 증폭기의 직류등가회로 형성과정

◎ 교류 해석

- 교류 해석을 수행하기 위해서는 커패시터는 단락시키고 직류전원은 접지

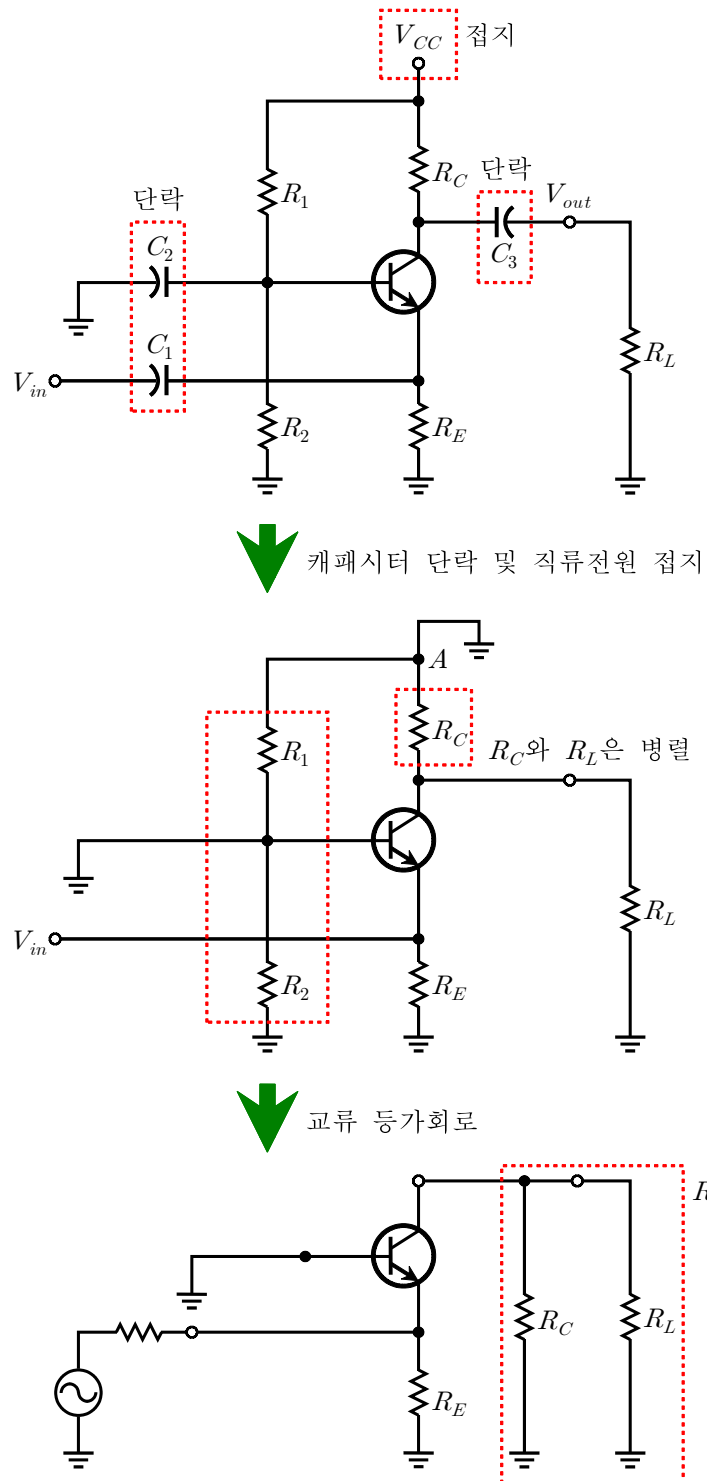


그림 4.28 베이스 공통 증폭기의 교류등가회로 형성과정

- 그림 4.28의 등가회로에서 트랜지스터 부분을 r_e' -모델로 대체
 $\Rightarrow R_c$ 는 R_C 와 R_L 의 합성저항인 컬렉터 교류저항

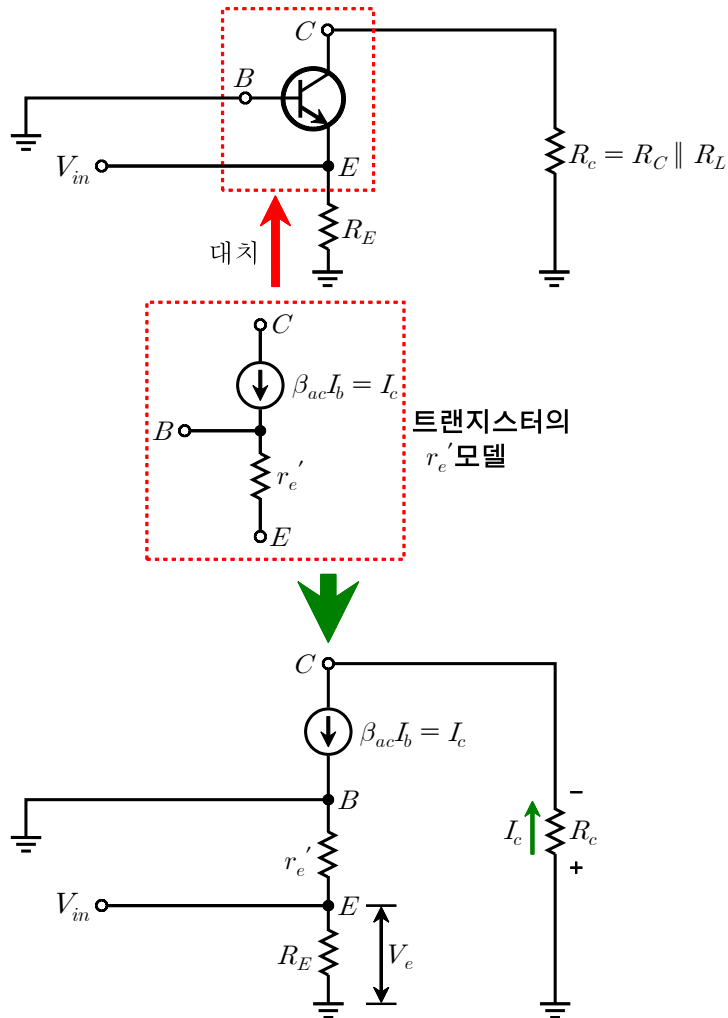


그림 4.29 베이스 공통 증폭기의 교류 해석

• 전압이득 A_v

- 전압이득 A_v 는 입력전압 V_e 에 대한 출력전압 V_c 의 비로 정의

$$V_e = (r_e' \parallel R_E) I_e = \frac{r_e' R_E}{r_e' + R_E} I_e \simeq r_e' I_e, \quad (\because R_E \gg r_e')$$

$$V_c = R_c I_c \simeq R_c I_e$$

$$A_v \triangleq \frac{V_c}{V_e} = \frac{R_c I_e}{r_e' I_e} = \frac{R_c}{r_e'} \quad (4.12)$$

• 입력저항 $R_{in(emitter)}$

- 에미터 단자에서 회로의 우측으로 바라본 저항 $R_{in(emitter)}$ 는 V_e 와 I_e 의 비

$$R_{in(emitter)} \triangleq \frac{V_e}{I_e} = \frac{r'_e R_E}{r'_e + R_E} I_e \cdot \frac{1}{I_e} = \frac{r'_e R_E}{r'_e + R_E} \cong r'_e, \quad (\because R_E \gg r'_e) \quad (4.13)$$

• 전류이득 A_i

- 전류이득 A_i 는 입력전류 I_e 에 대한 출력전류 $I_c (\cong I_e)$ 의 비로 정의

$$A_i \triangleq \frac{I_c}{I_e} \cong \frac{I_e}{I_e} = 1 \quad (4.14)$$

• 출력저항 R_{out}

- 컬렉터를 들여다보았을 때의 출력저항은 r'_c 과 R_c 의 병렬 합성저항($r'_c \gg R_c$)

$$R_{out} = \frac{r'_c R_c}{r'_c + R_c} \cong \frac{r'_c R_c}{r'_c} = R_c = \frac{R_C R_L}{R_C + R_L} \quad (4.15)$$

【예제 4.3】 그림 4.30의 회로에서 전압이득과 입력저항을 구하라. 단, $\beta_{dc} = 250$.

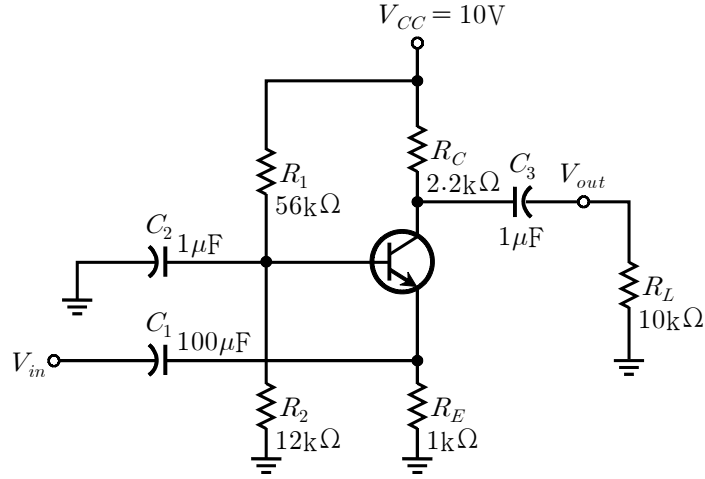


그림 4.30 예제 4.3의 회로

- 직류 등가회로로부터 I_E 및 r_e' 을 구하고 전압이득과 입력저항 계산

$$V_B = \frac{R_2}{R_1 + R_2} \cdot V_{CC} = \frac{12}{56 + 12} \times 10 = 1.76[\text{V}]$$

$$V_E = V_B - V_{BE} = 1.76 - 0.7 = 1.06[\text{V}]$$

$$I_E = \frac{V_E}{R_E} = \frac{1.06}{1,000} = 1.06 \times 10^{-3}[\text{A}] = 1.06[\text{mA}]$$

$$r_e' = \frac{25\text{mV}}{I_E} = \frac{25 \times 10^{-3}}{1.06 \times 10^{-3}} = 23.6[\Omega] \quad \cdots \text{식 (4.1)}$$

$$R_e = R_C \parallel R_L = \frac{R_C R_L}{R_C + R_L} = \frac{2.2 \times 10}{2.2 + 10} = 1.8[\text{k}\Omega]$$

$$A_v = \frac{R_e}{r_e'} = \frac{1.8 \times 10^3}{23.6} \approx 76.3 \quad \cdots \text{식 (4.12)}$$

$$R_{in(emitter)} = \frac{r_e' R_E}{r_e' + R_E} = \frac{23.6 \times 1,000}{23.6 + 1,000} = 23.06[\Omega] \approx r_e' \quad \cdots \text{식 (4.13)}$$

4.6 다단 교류증폭기 해석

◎ 다단 증폭기의 이득

- 증폭기의 이득을 증가시키기 위해서는 여러 개의 증폭기를 종속접속
 - ⇒ 한 증폭기의 출력이 다음 증폭기의 입력을 구동시키도록 설계
 - ⇒ 다단 증폭기(multi-stage amplifier)

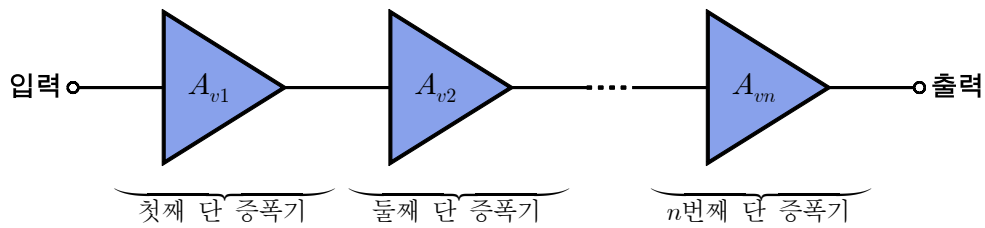


그림 4.31 종속접속된 다단 증폭기

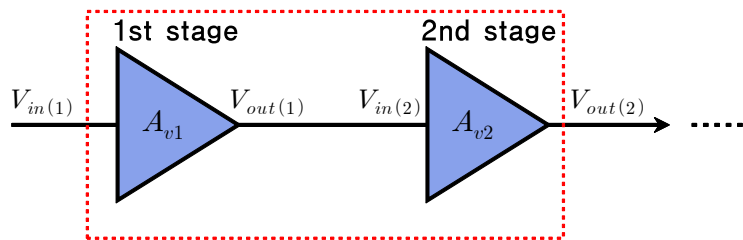


그림 4.32 2단 교류 증폭기

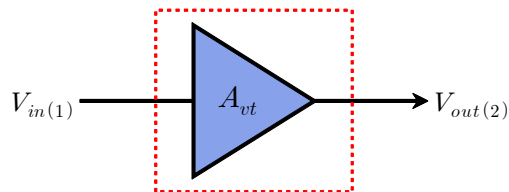


그림 4.33 다단 증폭기의 전체 전압이득

- 그림 4.32와 4.33에서 다음 식과 같이 2단 교류증폭기의 전체 전압이득을 계산
 - ⇒ 식 (4.18)에서 각 단의 전압이득의 곱으로 표시

$$V_{out(1)} = A_{v1} V_{in(1)} \quad (4.16)$$

$$V_{in(2)} = V_{out(1)} = A_{v1} V_{in(1)} \quad (4.17)$$

$$V_{out(2)} = A_{v2} V_{in(2)} = A_{v2} A_{v1} V_{in(1)} = A_{vt} V_{in(1)} \quad (4.18)$$

- n 개의 증폭기를 종속접속한 경우의 전체 전압이득은 각 증폭기 이득의 곱

$$A_{vt} = A_{v1}A_{v2}A_{v3} \cdots A_{vn} \quad (4.19)$$

- 증폭기의 전압이득을 식 (4.20)과 같이 데시벨(dB) 전압이득으로 표시

$$A_{v(\text{dB})} = 20\log A_v [\text{dB}] \quad (4.20)$$

- 다단 증폭기의 데시벨 전압이득은 식 (4.19)의 양변에 상용로그를 취하여 유도
 $\Rightarrow$ 전체 데시벨 전압이득은 각 증폭기의 데시벨 전압이득의 합

$$\begin{aligned} 20\log A_{vt} &= 20\log (A_{v1}A_{v2}A_{v3} \cdots A_{vn}) \\ &= 20\log A_{v1} + 20\log A_{v2} + 20\log A_{v3} + \cdots + 20\log A_{vn} \\ A_{vt(\text{dB})} &= A_{v1(\text{dB})} + A_{v2(\text{dB})} + A_{v3(\text{dB})} + \cdots + A_{vn(\text{dB})} \end{aligned} \quad (4.21)$$

【예제 4.4】 4단으로 구성된 종속접속 다단증폭기에서 전체 전압이득을 구하고, 각각의 전압이득 및 전체 전압이득을 데시벨(dB)로 표시.

$$A_{v1} = 20, \quad A_{v2} = 30, \quad A_{v3} = 40, \quad A_{v4} = 80$$

$$A_{vt} = A_{v1}A_{v2}A_{v3}A_{v4} = 20 \times 30 \times 40 \times 80 = 1,920,000$$

$$A_{v1(\text{dB})} = 20\log A_{v1} = 20\log 20 \doteq 26.0 [\text{dB}]$$

$$A_{v2(\text{dB})} = 20\log A_{v2} = 20\log 30 \doteq 29.5 [\text{dB}]$$

$$A_{v3(\text{dB})} = 20\log A_{v3} = 20\log 40 \doteq 32.0 [\text{dB}]$$

$$A_{v4(\text{dB})} = 20\log A_{v4} = 20\log 80 \doteq 38.1 [\text{dB}]$$

$$\begin{aligned} A_{vt(\text{dB})} &= A_{v1(\text{dB})} + A_{v2(\text{dB})} + A_{v3(\text{dB})} + A_{v4(\text{dB})} \\ &= 26.0 + 29.5 + 32.0 + 38.1 = 125.6 [\text{dB}] \end{aligned}$$

